

#2
Brown
8-6-01

PATENT
81870.0018

Express Mail Label No. EL 713 624 264 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Yuji KISHIDA et al.

Serial No: Not assigned

Filed: April 25, 2001

For: OPTICAL MODULE

Art Unit: Not assigned

Examiner: Not assigned



TRANSMITTAL OF PRIORITY DOCUMENT

Box PATENT APPLICATION
Assistant Commissioner for Patents
Washington, D.C. 20231

Dear Sir:

Enclosed herewith are certified copies of Japanese patent application Nos. 2000-130986 filed April 28, 2000 and 2000-363504 filed November 29, 2000, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

Date: April 25, 2001

By: 

Michael Crapenhof

Registration No. 37,115

Attorney for Applicant(s)

500 South Grand Avenue, Suite 1900
Los Angeles, California 90071
Telephone: 213-337-6700
Facsimile: 213-337-6701

P849US

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

J1046 U.S. PTO
09/843002
04/25/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 4月28日

出 願 番 号

Application Number:

特願2000-130986

出 願 人

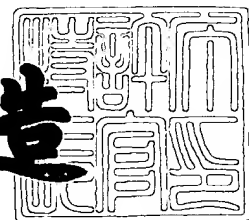
Applicant (s):

京セラ株式会社

2000年11月 6日

特 許 庁 長 官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3091548

【書類名】 特許願

【整理番号】 21697

【あて先】 特許庁長官殿

【国際特許分類】 G02B 6/42

【発明者】

 【住所又は居所】 京都府相楽郡精華町光台3丁目5番地 京セラ株式会社
 中央研究所内

 【氏名】 岸田 裕司

【特許出願人】

 【識別番号】 000006633

 【住所又は居所】 京都府京都市伏見区竹田鳥羽殿町6番地

 【氏名又は名称】 京セラ株式会社

 【代表者】 西口 泰夫

【手数料の表示】

 【予納台帳番号】 005337

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 光半導体素子キャリア及びその実装構造

【特許請求の範囲】

【請求項 1】 単結晶シリコンから成る基台上に光半導体素子を配設して成る光半導体素子キャリアであって、前記基台は、 $\{110\}$ 面又は $\{100\}$ 面から成り前記光半導体素子を配設する光半導体素子配設面と、 $\{111\}$ 面から成り前記基台を立設する際に下面側となる少なくとも 2 つの傾斜面とを備えていることを特徴とする光半導体素子キャリア。

【請求項 2】 前記光半導体素子配設面及び前記 2 つの傾斜面に、前記光半導体素子に通電する導体パターンを形成したことを特徴とする請求項 1 に記載の光半導体素子キャリア。

【請求項 3】 凹部を形成した基板上に、請求項 1 乃至 2 に記載の光半導体素子キャリアを配設するようにした光半導体素子キャリアの実装構造であって、前記凹部は前記光半導体素子キャリアの 2 つの傾斜面に当接する傾斜面を備えていることを特徴とする光半導体素子キャリアの実装構造。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えば光ファイバ通信システムや構内光通信システム（光 LAN）に用いられる光半導体素子キャリア及びその実装構造に関し、特に光半導体素子として面発光半導体素子または面受光半導体素子を用いたものに関する。

【0002】

【従来の技術】

近年、CATV や公衆通信の分野において、光ファイバ通信の実用化が始まっている。従来、高速・高信頼性の光半導体モジュールが同軸型あるいはバタフライ型と呼ばれるモジュール構造で実現されており、これらは主に幹線系と呼ばれる領域で既に実用化されている。

【0003】

これに対し、最近では、Si（シリコン）単結晶から成るサブ基板（または S

i プラットホームとも称される) 上で、光半導体素子とファイバを機械的精度のみで高精度に位置決め実装する(パッシブアライメント)技術を用いた光モジュールが盛んに開発されており、小型・低背化、低コスト化等が要求されている。

【0004】

以下に、従来のフォトダイオードの実装構造①～③について説明する。

【0005】

①：図6にフォトダイオードを実装するための基台41を示す。基台41は少なくとも任意の隣合う2つの面にフォトダイオードのアノード電極用及びカソード電極用の電極パターン411、412が形成されており、各々の電極パターンは面の境界で電氣的に導通が確保される。

【0006】

図7に例えばPIN型のフォトダイオード20が上記基台41に実装された典型的な例を示す。フォトダイオード20は用途により異なるが、この例では約500 μm 角、厚さ約200 μm 、受光径約200 $\mu\text{m}\phi$ であり、受光面及びその反対面(裏面)に電極21、22がそれぞれ形成されている。フォトダイオード20は受光面を上にして電極パターン411上にAu-Sn合金半田等により接続固定され、裏面電極22と電氣的に接続されている。また、電極パターン412と受光面電極21とはボンディングワイヤ31により電氣的接続がとられる。

【0007】

図8(a)～(c)に基台41にフォトダイオード2を実装後、基台41がSi基板S上に実装された例を示す。フォトダイオード2はその受光面をSi基板Sの主面に対して垂直になるように接続される。これにより、Si基板Sの主面に平行に実装された不図示の光ファイバとフォトダイオード2とが光接続される。フォトダイオード2への給電用の配線はフォトダイオード2の実装面と別の面の電極パターンからSi基板Sへワイヤボンディングすることにより行われる。

【0008】

ここで、基台41は一般的にはアルミナ等のセラミック体上に、フィラー入りペーストを用い、印刷により各面ごとに電極パターンがパターン形成される。

【0009】

②：また、Si基板上に上記のような基台は用いずに、直接Si基板上にフォトダイオードを実装する方法も提案されている（例えば、特開平8-94887号公報を参照）。この提案は、Si基板上の光ファイバ実装溝に光ファイバを実装する際に、光ファイバ出射端に対向するように斜面を形成し、その斜面上にフォトダイオードの実装を行うようにしたものである。ここで、フォトダイオード下面側の電極は前記の斜面に形成された電極と直接コンタクトさせて行い、フォトダイオード上面側の電極はワイヤリングにより行う。

【0010】

③：また、フォトダイオードの受光面を下側にしてSi基板に載置し、受光面下部に形成された光路用溝の一部に形成された全反射面により90°光路を変えることで、光ファイバからの出射光を受光面へ導く方法も提案されている（例えば、特開平9-54228号公報を参照）。

【0011】

【発明が解決しようとする課題】

しかしながら、上記実装構造①では、基台への電極パターンの形成において、2面のパターンの相対的な位置合わせ精度が外形の機械精度に依存するため、精度が悪いという問題があった。

【0012】

また、2面もしくはそれ以上の面へのパターン形成では、第1面のパターン形成が終了した後、次のパターンを形成するとき、基台自身を1つずつハンドリングし整列させる必要があり、生産性が著しく悪いという問題や、サイズが小さくなるほどその取り扱いが困難になり、さらに生産性を悪化させる問題があった。

【0013】

また、フォトダイオードの受光部と光ファイバとの光学的な位置調整を機械的精度のみで行うとき、基台の外形精度と基台の外形に対する電極パターンの位置精度による制限により、受光径（受光部の直径）が小さい（例えば50μm以下）フォトダイオードでは十分な光結合の実現が困難であるという問題があった。すなわち、高速動作が可能な受光径の小さいフォトダイオードの実装が困難であった。

【0014】

以上、述べた通り、サイズとコストがトレードオフの関係になっているため、従来では、基台の小型化・高性能化により、コストが非常に高くなる、小型化・高性能化が難しい、実装精度が悪いといった種々の問題があった。

【0015】

また、実装構造②では、ワイヤリング面が同一平面上にないため、工程が著しく煩雑になったり、フォトダイオードの受光感度や実装位置合わせ精度のトレランスが、光路に対しほぼ垂直に受光した場合と比較して小さくなるという問題があった。

【0016】

さらに、実装構造③によっても、特に受光感度の低下を免れることができない。

【0017】

そこで本発明は、上記従来の問題に鑑み提案されたものであり、特に面受発光半導体素子等の光半導体素子の実装に適し、しかも量産性に優れ、小型で高周波特性に優れ、高精度に実装が可能な光半導体素子キャリア及びその実装構造を提供することを目的とする。

【0018】

【課題を解決するための手段】

上記目的を達成するために、本発明の光半導体素子キャリアは、単結晶シリコンから成る基台上に光半導体素子を配設して成り、前記基台は、 $\{110\}$ 面又は $\{100\}$ 面から成り前記光半導体素子を配設する光半導体素子配設面と、 $\{111\}$ 面から成り前記基台を立設する際に下面側となる少なくとも2つの傾斜面とを備えていることを特徴とする。ここで、 $\{110\}$ 面、 $\{100\}$ 面、及び $\{111\}$ 面は、それぞれ (110) 面、 (100) 面、 (111) 面に等価な面をいう。

【0019】

また、前記光半導体素子配設面及び前記2つの傾斜面に、前記光半導体素子に通電する導体パターンを形成したことを特徴とする。

【 0 0 2 0 】

また、本発明の実装構造は、凹部を形成した基板上に上記光半導体素子キャリアを配設するようにしたものであり、前記凹部は前記光半導体素子キャリアの2つの傾斜面に当接する傾斜面を備えていることを特徴とする。

【 0 0 2 1 】

また、光半導体素子キャリアの光半導体素子配設面に(110)面を用いたときには、凹部を形成する基板にはSi単結晶の(100)面を主面として用い、一方、光半導体素子キャリアに(100)面を用いたときには、基板にはSi単結晶の(110)面を主面として用いることにより、光半導体素子配設面を基板に対し、ほぼ完全に垂直にすることができる。

【 0 0 2 2 】

【発明の実施の形態】

以下、本発明の光半導体素子キャリア及びその実装構造の実施形態を図面に基づき詳細に説明する。

【 0 0 2 3 】

図1(a)に、例えば(100)面や(110)面を主面とするSi単結晶から成る基板S上に、光導波体である光ファイバ5(V溝6上に搭載)と、これに光結合させる光半導体素子を設けた光半導体素子キャリアCとを配設した光モジュールMの平面図を示し、図1(b)にそのA-A線断面図を示す。また、図1(b)のB部拡大図を図4に示す。

【 0 0 2 4 】

ここで、光半導体素子として、例えばInP基板上にInGaAsのPIN構造を積層した裏面入射型PINフォトダイオード2を用いる。また、基板S上には、裏面入射型PINフォトダイオード2やプリアンプ8を駆動し信号を伝送するための導体パターン(Au, Cu, 又はAl等及びこれらの合金が使用可能)であるコプレーナウェーブ型(CPW)電極パターン3, 4を形成する。さらに、光半導体素子キャリアCを搭載させる領域に凹部7(傾斜面7a, 7b; Si単結晶の{111}面)が基板Sのアルカリ溶液等による異方性エッチングにより断面台形状に精度良く形成されている。傾斜面7a, 7bには電極パターン1

2, 13, 14の各々一部が形成されている。そして、この凹部7において、裏面入射型PINフォトダイオード2の後記する駆動用導体と凹部7の電極パターンとを接続し、裏面入射型PINフォトダイオード2の駆動を行えるようにしている。

【0025】

図2(a)に透視した裏面入射型PINフォトダイオード2を示し、図2(b)に光半導体素子キャリア用基台を示す。また、図3に光半導体素子キャリアCを示す。

【0026】

基台1は、裏面入射型PINフォトダイオード2が配設され、平面を成す光半導体素子配設面A1と、光半導体素子配設面A1に対し θ を成し、基台1を立設させる際に下面側となる第1傾斜面A2と、光半導体素子配設面A1と距離dだけ隔て対向する背面A4と、この背面A4に対し θ を成し、基台1を立設させる際に下面側となる第2傾斜面A3とから構成され、さらに、裏面入射型PINフォトダイオード2の駆動用導体である電極パターン12, 13, 14が、光半導体素子配設面A1から第1傾斜面A2に到る領域に形成され、電極パターン16, 17, 18が第2傾斜面A3に形成されている。そして、電極パターン12, 13, 14はCPW電極を構成し、特性インピーダンスが例えば50 Ω に整合するように各々の間隔が調整される。

【0027】

なお、裏面入射型PINフォトダイオード2にCPW電極を用いない場合には、電極パターン12, 13, 14はCPW電極とする必要はなく、ワイヤリングを用いた配線でも構わない。また、基板Sに形成した凹部7に設けた電極パターンと裏面入射型PINフォトダイオード2の駆動用導体との導通が良好に行えるのであれば、基台1に形成する駆動用導体は必ずしも第1傾斜面A2及び第2傾斜面A3の全体に形成しなくともよい。

【0028】

ここで θ は、基台1にSi単結晶の(110)面を用いたときは35.26°、Si単結晶の(100)面を用いたときは54.74°となる。

【0029】

図2(a)に示すように、裏面入射型PINフォトダイオード2は、受光部23への光の入射は受光部23の背面側に形成された、例えば SiN_x から成るARコート(反射防止)膜24から行われるため、裏面入射型PINフォトダイオード2はARコート膜形成面を上基台1に載置され、受光部23の表層に形成されたCPW電極パターン25と、基台1の電極パターン12, 13, 14が電氣的に接続される。なお、パターン15は裏面入射型PINフォトダイオード2を固定するために用いる。光ファイバ5から裏面入射型PINフォトダイオード2への光接続は、図4に示すようになされる。これ以外に表面入射型PINフォトダイオード、アバランシェフォトダイオード等の各種の受光半導体素子にも使用可能である。

【0030】

基台1の光半導体素子配設面としては、Si単結晶の(110)面が優れる。これは光半導体素子配設面に対して{111}面がシャープになり、設置性が良好となるからであるが、Si単結晶の(100)面を用いてもよい。Siは誘電正接が大きいため $1000\Omega\cdot\text{cm}$ 程度以上の高抵抗のものを使用することが望ましい。また、Siの誘電率11.8は従来一般的な材料であるアルミナの9と比較して大きい、本発明ではサイズを著しく小さくできるため、従来構造の寄生容量値の約0.3pFを大幅に下回る0.02pF程度にまで抑制できる。さらに、Si上に SiO_2 膜を $\sim 100\mu\text{m}$ 程度積層し、その上に電極層を形成することにより、誘電正接による伝送損失の低減や寄生容量を低減することもできる。

【0031】

次に、上記光半導体素子キャリアの製造方法の一例について図5に基づいて説明する。

【0032】

図5にウェハー工程を終了し、ダイシング工程前である光半導体素子キャリア形成領域Tの概略を示す。

【0033】

まず、(110)面を主面とするSi単結晶のウェハ30の表裏面に熱酸化膜

を形成し、フォトリソグラフィーにより熱酸化膜の一部を所望の形状に抜くことにより、ウェハ30の表裏面に同様のパターンを形成する。その後、KOH水溶液等のアルカリ性溶液に浸漬し、ウェハ30に異方性エッチングを施す。これにより、(110)面に対し 35.26° を成す{111}面の傾斜面A2, A3を正確に形成することができる。

【0034】

これら一連の工程は、(100)面を主面とするウェハを用いた場合にも同様に行うことができ、この場合は(100)面に対し 54.74° を成す{111}面の傾斜面A2, A3を正確に形成することができる。

【0035】

図3に示す光半導体素子キャリアCを用い、基板Sに裏面入射型PINフォトダイオード2を実装する際、基板Sに対する裏面入射型PINフォトダイオード2の実装高さは上部エッジ19を基準にすると、ほぼ接合材厚みと厚みd、すなわちウェハ30の厚み精度のみで決まり、良好に制御できる。V溝幅及び深さの精度、及び表裏面の位置合わせ精度は、裏面入射型PINフォトダイオード2の実装高さ精度に対し重要ではなく、簡便な工程を用いることができ、工程管理も容易である。

【0036】

次に、フォトリソグラフィーにより、電極パターン12~18と不図示のダイシング用マーカパターンを形成する。このとき、光半導体素子配設面上の電極パターン12~15は、後記する光半導体素子実装時の画像認識用マーカとしても用いるため、V溝エッジとダイシング用マーカパターンに対してアラメントされる。溝部を有する基板表面に均一にフォトレジストを塗布するためにはスプレー塗布方式、露光にはネガ型フォトレジストを各々好適に用いることができる。

【0037】

最後に不要な部分をダイシング用マーカパターンに沿ってダイシングすることにより、複数の光半導体素子キャリアを完成することができる。

【0038】

この方法によれば、従来の印刷を用いたプロセスよりもパターンの直線性、位

置精度が著しく良好であるとともに小型化が可能である。また、一回のプロセスでウェハ上に多数形成可能であり、従来の複数平面への電極パターンの印刷工程にみられる複数品の整列処理等の煩雑さがなくなることから、量産性が大幅に向上する。

【0039】

次に、裏面入射型PINフォトダイオード2の実装例について述べる。

【0040】

まず、裏面入射型PINフォトダイオード2は、光半導体素子キャリアCの電極パターン12, 13, 14, 15上にフリップチップ実装装置を用いて位置決め及び加熱固定される。この位置決めは、裏面入射型PINフォトダイオード2の受光部パターンと、電極パターン12, 13, 14, 15とを画像認識し、双方の位置関係を設計位置に調整することにより行う。上述した通り、実装時のマーカーとなる電極パターンは、直線性や位置精度が良好であるため好適に位置決めがなされる。この固定材としてはAuSi系, AuSn系, PbSn系, In系半田等を用いることができる。

【0041】

次に、図4に示すように、光半導体素子キャリアCを基板Sに実装する。裏面入射型PINフォトダイオード2が実装された光半導体素子キャリアCをコレットに真空吸着し、基板Sに形成された凹部7に装填する。その後、コレットの吸引を解き、基板Sに対し垂直に押圧加重し加熱固定する。光半導体素子キャリアCの光半導体素子配設面に(110)面を用いたときには、基板SにはSi単結晶の(100)面を主面として用い、一方、光半導体素子キャリアCに(100)面を用いたときには、基板SにはSi単結晶の(110)面を主面として用いることにより、光半導体素子配設面A1を基板Sに対し、ほぼ完全に垂直にすることができ、傾斜面A2, A3は凹部7の傾斜面7a, 7bに隙間なく良好に当接し接合できる。また、裏面入射型PINフォトダイオード2は厚みd、接合材厚み、上部エッジ19から光半導体素子実装位置の距離で決まる所定の高さ、ダイシングエッジ26から光半導体素子実装位置で決まる所定の横方向位置に良好な精度で実装される。

【 0 0 4 2 】

最後に、光ファイバ5を基板S上に位置決めされたV溝6上に実装し、裏面入射型PINフォトダイオード2と光接続される。光ファイバ5の中心軸（コア軸）に対し垂直平面内での裏面入射型PINフォトダイオード2の相対位置精度は、光半導体素子キャリアCの外形精度と光半導体素子キャリアCへの光半導体素子の実装精度に依存し、各々良好に制御が可能のため良好な光接続精度が得られる。

【 0 0 4 3 】

【実施例】

次に、さらにより具体的な実施例について説明する。

【 0 0 4 4 】

まず、基台に、Si単結晶の(110)面を光半導体素子配設面とする抵抗率 $1000\Omega\cdot\text{cm}$ のものをを用いた。基台の外形は、図2(b)に示すように、幅0.8mm、奥行き0.8mm、厚み0.6mmに設計した。

【 0 0 4 5 】

裏面入射型PINフォトダイオードはサイズ0.6mm角、受光径 $35\mu\text{m}$ 、裏面入射部に $130\mu\text{m}$ 径のARコート部を有し、CPW電極構成のものをを用いた。

【 0 0 4 6 】

電極パターン13の幅は $100\mu\text{m}$ 、電極パターン13と電極パターン12、14との間隔は各々 $37\mu\text{m}$ にした。また、電極層はトータル膜厚約 $0.5\mu\text{m}$ のCrとAuの積層膜を用い、フォトダイオード実装部にはさらにトータル膜厚 $2\mu\text{m}$ のAuSn半田を積層した。

【 0 0 4 7 】

光半導体素子キャリアの作製方法は、図5に示すような配置でV溝パターンをKOH水溶液のウェットエッチングにより深さ約 $141\mu\text{m}$ に形成した後、電極パターンをドライエッチングによりパターン形成することにより、約 10cm 径のSi単結晶ウェハ((110)面を主面)に、約6000個の光半導体素子キャリア形成領域を形成した。

【 0 0 4 8 】

次に、Siウェハ上の光半導体素子キャリア領域の一つずつに、裏面入射型PINフォトダイオードをチップ実装する工程を個数分だけ複数回繰り返し、複数のフォトダイオードが実装された基板を形成した。これにより、光半導体素子キャリアへの光半導体素子実装の生産性が著しく向上した。

【0049】

その後、フォトダイオードが実装された基板をダイシング用マーカから切断し、複数のフォトダイオード実装済みの光半導体素子キャリアを取り出した。そして、光入射面が地に対し垂直になるように素子を90°回転させることのできるマウンターを用いて整列させ、基板Sに実装した。

【0050】

基板SはSi単結晶の(100)面を主面とするもので作製したことにより、光ファイバと光半導体素子キャリアを実装する溝の相対的な位置関係を12 μ m以内の精度にすることができた。これにより、良好な光結合を実現できた。

【0051】

また、基板S上にフォトダイオードのプリアンプを実装した。フォトダイオードからプリアンプまでは光半導体素子キャリア及び基板S上に形成されたCPW電極配線により、特性インピーダンスをプリアンプの入力インピーダンスに整合させることができ、さらに、配線長を約1mmと短くできたことから、10GHzの信号に対して低損失で配線することができた。

【0052】

【発明の効果】

本発明の光半導体素子キャリア及びその実装構造によれば、以下に示す顕著な効果を奏することができる。

【0053】

・基台の正確に形成できる面を光半導体素子の実装面としたことにより、高精度に光半導体素子を平板基板に実装可能となり、特に高速動作に適した小径受発光部を有した素子において良好な光接続をパッシブアライメントで作業効率良く行うことができる。

【0054】

- ・一枚の平板基板より光半導体素子キャリアを大量に生産することが可能であり、量産性が極めて良好となる。

【0055】

- ・上記生産が一括処理で行うことができ、製造工程途中でのハンドリング等、作業の煩雑さが無い。

【0056】

- ・基板状態もしくは工程終了（ダイシング）後の整列状態で光半導体素子の実装が可能であり、実装の作業性が良好である。

【0057】

- ・小型化が容易であり、この小型化により光半導体素子キャリア全体の容量を低減させることができ、高速動作に好適である。

【0058】

- ・光半導体素子キャリアからのワイヤリングの必要がないため、特性インピーダンスの不連続部を低減する効果があり、高速動作に適している上、実装効率が良好である。

【0059】

そして、以上の効果により、低コスト、小型、高精度、高周波特性に優れ、さらに量産性が著しく向上した光半導体素子キャリア及びその実装構造を提供することが可能になる。

【図面の簡単な説明】

【図1】

本発明に係る光半導体素子キャリアの実装構造（光モジュール）を模式的に説明する図であり、（a）は平面図、（b）は（a）におけるA-A線断面図である。

【図2】

本発明に係る光半導体素子キャリアを分解した様子を模式的に示す斜視図であり、（a）は裏面入射型PINフォトダイオードを示し、（b）は光半導体素子キャリア用基台を示す。

【図3】

本発明に係る光半導体素子キャリアを模式的に示す斜視図である。

【図4】

図1（b）におけるB部拡大図である。

【図5】

本発明に係る光半導体素子キャリアの製造方法を模式的に説明する図であり、（a）はウェハ全体を示す平面図、（b）はその側面図、（c）は（a）のC部拡大平面図、（d）はそのD-D線断面図である。

【図6】

従来の光半導体素子キャリア用基台を模式的に示す斜視図である。

【図7】

従来の光半導体素子キャリアを模式的に示す斜視図である。

【図8】

従来の光半導体素子キャリアを基板上に載置した一例を模式的に説明する図であり、（a）は正面側一部断面図、（b）は平面図、（c）は側面側一部断面図である。

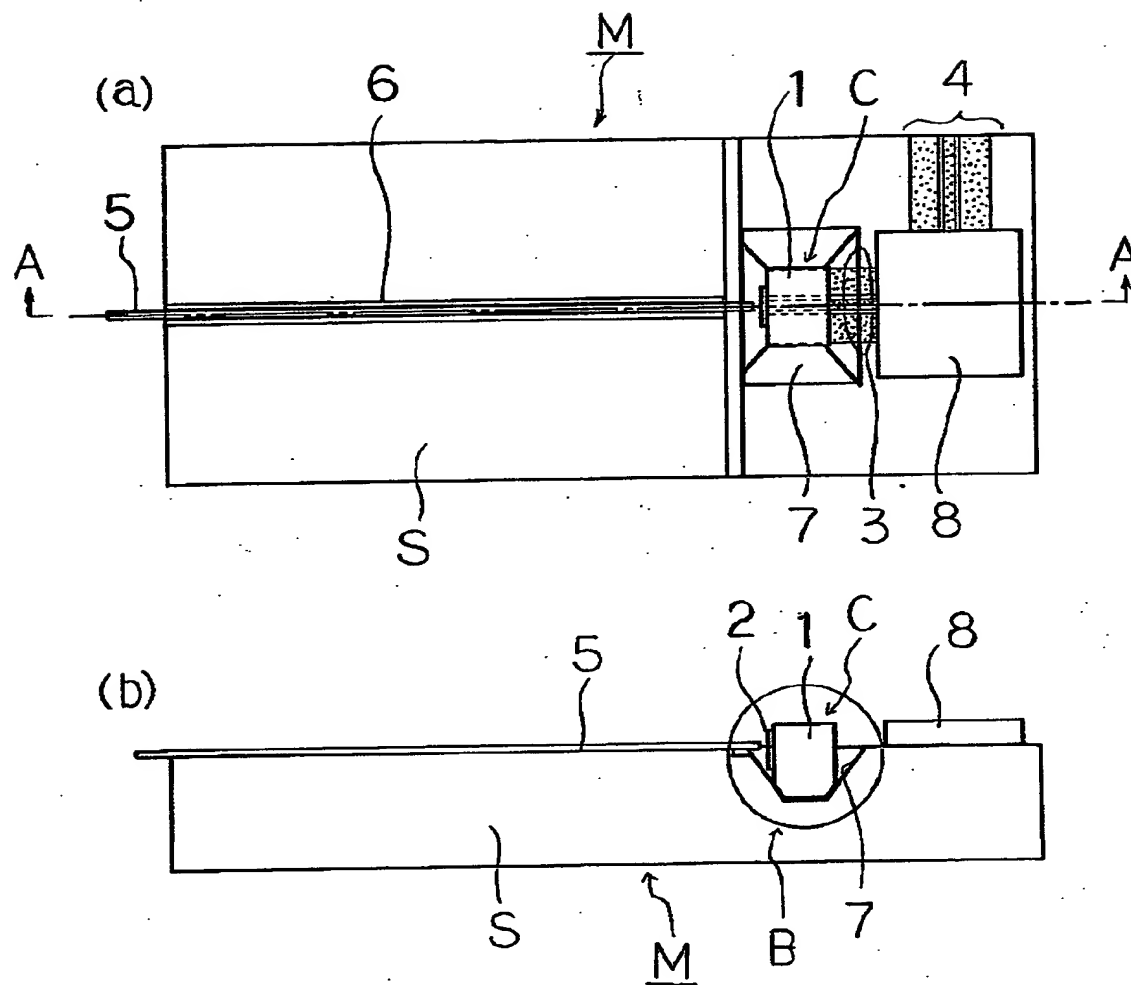
【符号の説明】

- 1：基台
- 2：裏面入射型PINフォトダイオード
- 3：CPW電極パターン1
- 4：CPW電極パターン2
- 5：ファイバ
- 6：V溝
- 7：凹部
- 8：プリアンプ
- 12～18：電極パターン
- 20：PINフォトダイオード
- 21：受光面電極パターン
- 22：裏面電極パターン
- 23：受光部

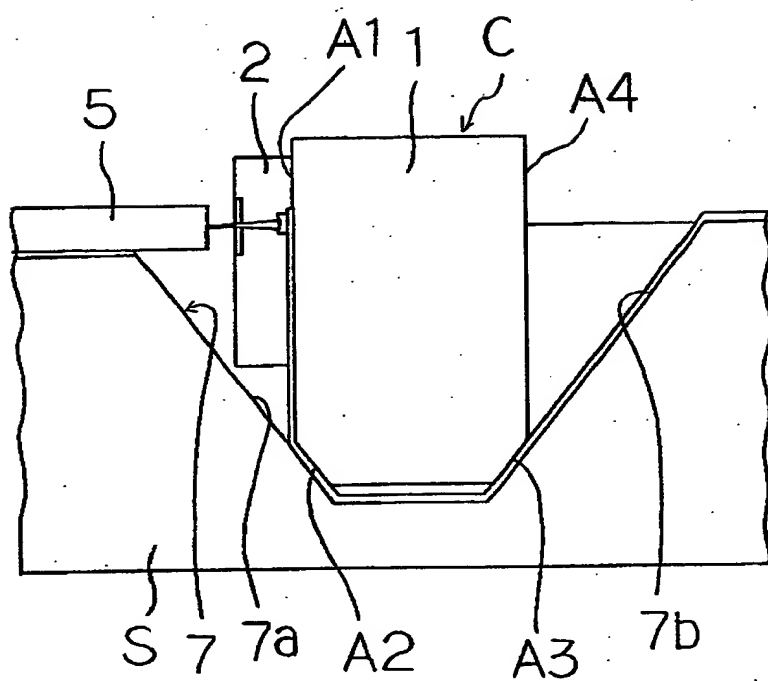
2 4 : A R コ ー ト 膜
2 5 : C P W 電 極 パ タ ー ン
3 0 : S i 単 結 晶 ウ ェ ハ
3 1 : ワ イ ヤ ボ ン ド
4 1 : 基 台 基 体
4 1 1 : 第 一 の 電 極 パ タ ー ン
4 1 2 : 第 二 の 電 極 パ タ ー ン
A 1 : 光 半 導 体 素 子 実 装 面
A 2 : 第 1 傾 斜 面
A 3 : 第 2 傾 斜 面
A 4 : 背 面
C : 光 半 導 体 素 子 キ ャ リ ア
M : 光 モ ジ ュ ー ル
S : 基 板

【書類名】 図面

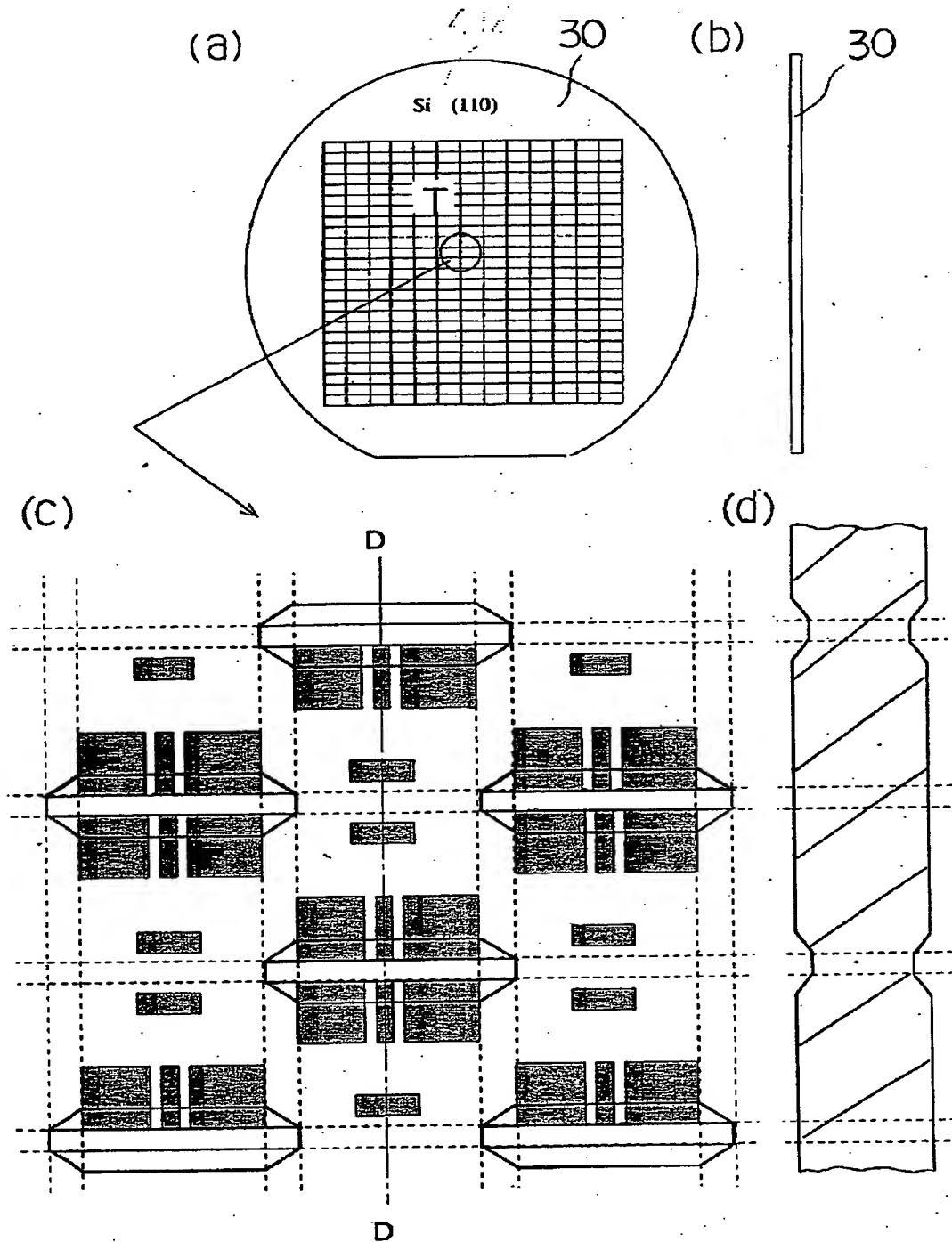
【図 1】



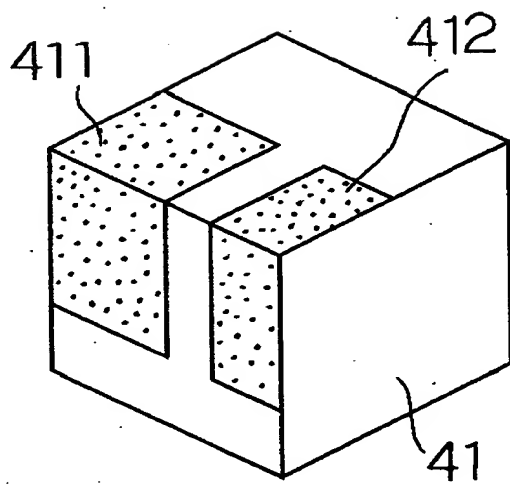
【図4】



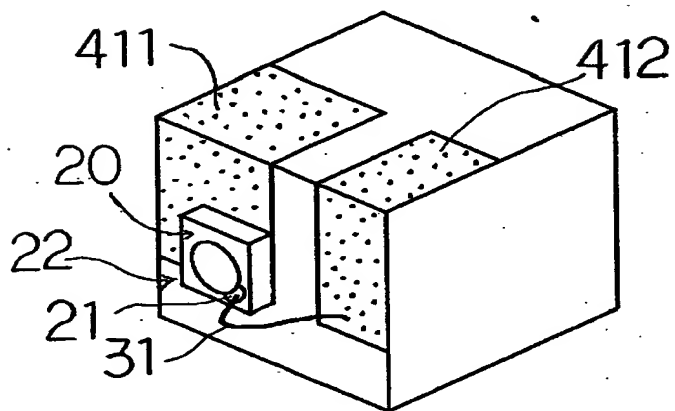
【図 5】



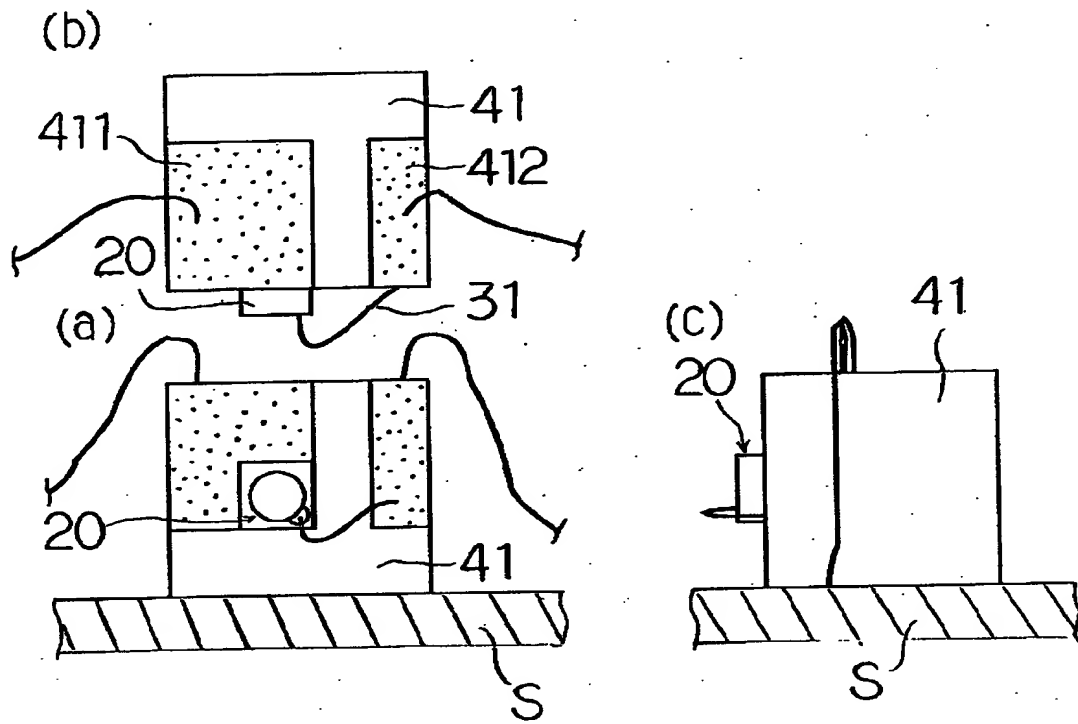
【図6】



【図7】



【図 8】



【書類名】 要約書

【要約】

【課題】 面受発光半導体素子等の光半導体素子の高精度実装に適し、しかも量産性に優れ、小型で高周波特性に優れた光半導体素子キャリア及びその実装構造を提供すること。

【解決手段】 単結晶シリコンから成る基台 1 上に光半導体素子 2 を配設して成る光半導体素子キャリア C であって、基台 1 は、 $\{110\}$ 面又は $\{100\}$ 面から成り光半導体素子 2 を配設する光半導体素子配設面と、 $\{111\}$ 面から成り基台 1 を立設する際に下面側となる少なくとも 2 つの傾斜面 A 2, A 3 とを備えていることを特徴とする光半導体素子キャリア C とする。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願2000-130986
受付番号	50000548492
書類名	特許願
担当官	第一担当上席 0090
作成日	平成12年 5月 1日

<認定情報・付加情報>

【提出日】	平成12年 4月28日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [000006633]

1. 変更年月日	1998年 8月21日
[変更理由]	住所変更
住 所	京都府京都市伏見区竹田烏羽殿町6番地
氏 名	京セラ株式会社